

1. Албу Б. А., Хорошевский Б. Ф. // Изв. АН СССР. Техн. кибернетика. 1990. С. 105—118.
2. Аршинский Л. В. и др. // Тез. докл. 1 Всесоюз. конф. «Распознавание образов и анализ изображений: новые информационные технологии (РОАИ-1-91)» (14—18 октября 1991 г.). В 4 ч. Минск, 1991. Ч. 2. С. 31—33.
3. Гренандер У. Лекции по теории образов. Анализ образов. М., 1981. Т. 2.
4. Зенкин А. А. // Изв. АН СССР. Техн. кибернетика. 1987. № 5. С. 29—36.
5. Зенкин А. А. Когнитивная компьютерная графика. М., 1991.
6. Ковалев И. П. Представление неточности в задаче образной интерпретации объектов. Минск, 1991. (Препринт/Вычисл. центр АН БССР. № 2(2)).
7. Ковалев И. П. // Тез. докл. 1 Всесоюз. конф. «Распознавание образов и анализ изображений: новые информационные технологии (РОАИ-1-91)» (14—18 октября 1991 г.). В 4 ч. Минск, 1991. Ч. 1. С. 51—55.
8. Нечеткие множества и теория возможностей / Под ред. Р. Ягера. М., 1986.
9. Симонов П. В. Эмоциональный мозг. М., 1981.

Мельское отделение ВЦ  
АН Беларуси

Поступила в редакцию  
23.03.92

ДК 51:681.3.012

А. А. ТИУНЧИК

## О ПРОЕКТИРОВАНИИ ДВУХУРОВНЕВЫХ СИСТОЛИЧЕСКИХ ПРОЦЕССОРОВ С РАСПРЕДЕЛЕННОЙ АРИФМЕТИКОЙ

Систолические процессоры [1] являются высокопроизводительными вычислительными устройствами, хорошо приспособленными для СБИС-реализации и функционирующими на основе использования принципов параллельной и конвейерной обработки информации.

В большинстве известных систолических процессоров принцип систолической обработки информации осуществляется либо только на уровне чисел, либо только на уровне разрядов. Однако применение этих принципов одновременно на обоих уровнях (проектирование двухуровневых систолических процессоров с распределенной арифметикой [2, 3]) существенно улучшает основные свойства проектируемых устройств.

В настоящее время известны двухуровневые систолические структуры, обладающие различными свойствами и конфигурацией [3—8]. Большинство их получено эвристически. Применение формальных методов [3—5] позволяет обычно получать структуры с единственным типом конфигурации. В настоящей работе предлагается формальный математический подход, позволяющий получать систолические процессоры с распределенной арифметикой различных конфигураций на основе единой математической модели.

Теоретическое проектирование систолических процессоров основывается на построении специальных (систолических) форм реализуемых алгоритмов, представлении их графами и отображении в пространство процессорных элементов [9—11]. При проектировании систолических процессоров можно выделить следующие основные этапы: построение графа зависимости, представляющего исходный алгоритм; отображение этого графа на систолический процессор; получение таймирующей функции. Эти же этапы можно выделить и при проектировании двухуровневых систолических процессоров.

При построении графа зависимости исходный алгоритм записывается в форме системы однородных рекуррентных уравнений [12, 10] вида

$$x_i(v) = f_i(x_1(v - \varphi_1), x_2(v - \varphi_2), \dots, x_p(v - \varphi_p)), \quad 1 \leq i \leq p, \quad (1)$$

где  $f_i$  — функция  $p$  переменных,  $v$  — точка подмножества  $V$  из простран-

ства  $Z^m$ ,  $\varphi_1, \varphi_2, \dots, \varphi_p \in Z^m$  — векторы пространства  $Z^m$ , называемые векторами зависимости. Множество функций  $f_i, 1 \leq i \leq p$ , приписанных точке  $v$ , называется базовой операцией в точке  $v$ .

Система (1) может быть представлена графом, при этом вершины графа идентифицируются с точками  $v \in V$ , а дуги — с векторами зависимости  $\varphi_1, \varphi_2, \dots, \varphi_p \in Z^m$ . Пара  $G = (V, E)$ , где  $E$  обозначает множество дуг, характеризуемых множеством векторов  $\{\varphi_1, \varphi_2, \dots, \varphi_p\}$ , называется графом зависимости. На рис. 1, а, б приведены примеры графа зависи-

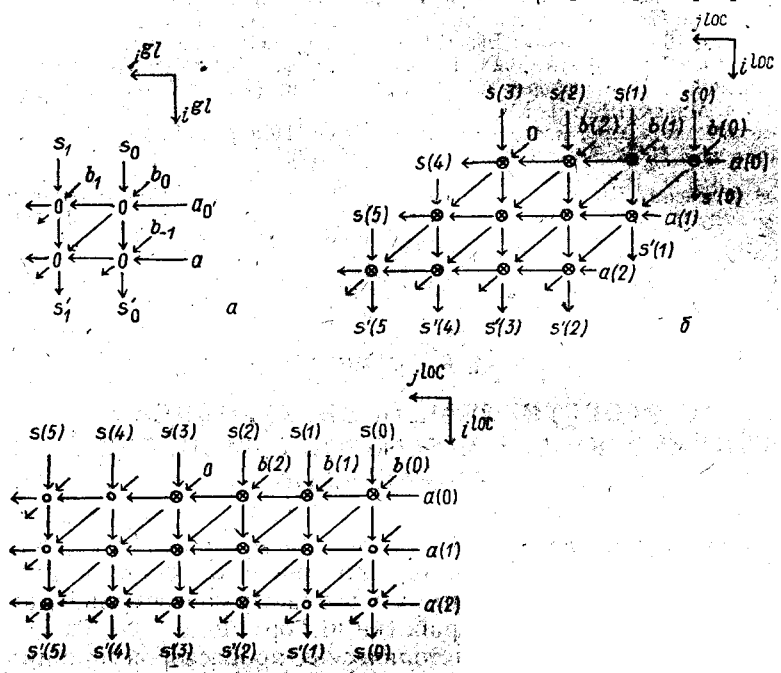


Рис. 1. Графы зависимости  $G_N^{gl}$  при  $l=2, J=3$  (а),  $G_N^{loc}$  при  $r_a=r_b=3, r_s=6$  (б),  $G_{NM}^{loc}$  при  $r_a=r_b=3, r_s=6$  (в)

мости алгоритма КИХ-фильтрации  $s_j = \sum_{i=0}^{l-1} a_i b_{j-i}, 0 \leq j \leq J-1$ , и графа зависимости поразрядного умножения и сложения натуральных чисел  $s' = s + ab$ , где каждое число  $a, b, s$  и  $s'$  представлено в двоичной записи:  $x = \sum_{i=0}^{r_x-1} x(i) 2^i$ , через  $x(i)$  обозначен  $i$ -й разряд числа  $x, x(i) \in \{0, 1\}, r_x$  — разрядность числа  $x$ . Эти графы будем обозначать  $G_N^{gl}$  и  $G_N^{loc}$  соответственно.

Проектирование двухуровневого систолического процессора будем осуществлять на основе графа зависимости  $G^{sup} = (V^{sup}, E^{sup})$ , представляющего алгоритм преобразований уровня чисел, каждая операция которого реализована на уровне обработки разрядов этих чисел. Пусть граф зависимости  $G^{gl} = (V^{gl}, E^{gl})$  представляет алгоритм уровня чисел, а граф зависимости  $G^{loc} = (V^{loc}, E^{loc})$  — алгоритм уровня разрядов выполнения базовой операции алгоритма уровня чисел (для простоты предполагается, что все вершины соответствуют одинаковым операциям). Искомый граф зависимости  $G^{sup}$  может быть получен как суперпозиция графов зависимости  $G^{gl}$  и  $G^{loc}$ , т. е. путем замены вершин  $v^{gl}$  графа  $G^{gl}$  на графы  $G^{loc}$  и соединения информационно связанных вершин  $v^{loc}$ . Формально суперпозиция  $G^{sup} = (G^{gl}; G^{loc})$  графов зависимости  $G^{gl}$  и  $G^{loc}$  может быть получена следующим образом.

**Размещение множества вершин  $V^{sup}$  суперпозиции  $G^{sup}$ .** Пусть верши-

ны  $v^{gl}$  графа  $G^{gl}$  размещены в пространстве  $Z^D$ , а вершины  $v^{loc}$  графа  $G^{loc}$  — в пространстве  $Z^d$ , и пусть расположение этих вершин определяется множествами координат  $v^{gl} = (i_1^{gl}, \dots, i_D^{gl})$  и  $v^{loc} = (i_1^{loc}, \dots, i_d^{loc})$  соответственно. Пусть вершина  $v^{gl}$  должна быть заменена графом  $G^{loc}$ ; такой граф будем обозначать  $(v^{gl}; G^{loc})$ . Обозначим через  $v^{sup}$  вершину суперпозиции, соответствующую вершине  $v^{loc}$  графа  $(v^{gl}; G^{loc})$ . Будем считать, что вершина  $v^{sup}$  размещена в пространстве  $Z^{D+d}$  и ее расположение определяется множеством координат  $v^{sup} = (v^{gl}, v^{loc}) = (i_1^{gl}, \dots, i_D^{gl}, i_1^{loc}, \dots, i_d^{loc})$ .

Получение множества дуг  $E^{sup}$  суперпозиции  $G^{sup}$ . Чтобы определить множество дуг, введем следующие обозначения. Наличие дуги для передачи данного  $x$ , исходящей из вершины  $v_1$  и заходящей в вершину  $v_2$ ,

будет обозначаться как  $(v_1) \xrightarrow{x} (v_2)$ , а сама дуга будет называться *внутренней*. Наличие дуги, соответствующей вводу (выводу) данного  $x$  и заходящей в вершину  $v_1$  (соответственно исходящей из вершины  $v_1$ ), будет обозначаться как  $(*) \xrightarrow{x} (v_1)$  (соответственно  $(v_1) \xrightarrow{x} (*)$ ), а сама дуга будет называться *внешней*. Дуги (и соответствующие им векторы) графов  $G^{gl}$  и  $G^{loc}$  для пересылки данных  $x$  и их разрядов  $x(i)$  будем обозначать  $\varphi_x^{gl}$  и  $\varphi_{x(i)}^{loc}$  соответственно.

Дуги искомой суперпозиции будем определять следующим образом:

$$(v_1^{gl}; v_1^{loc}) \xrightarrow{x(i)} (v_2^{gl}; v_2^{loc}), \text{ если } v_1^{gl} = v_2^{gl} \text{ и } (v_1^{loc}) \xrightarrow{x(i)} (v_2^{loc})$$

(если вершины  $v_1^{loc}$  и  $v_2^{loc}$  одного графа  $G^{loc}$  соединены внутренней дугой, то они соединены внутренней дугой и в суперпозиции);

$$(v_1^{gl}; v_1^{loc}) \xrightarrow{x(i)} (*), \text{ если } (v_1^{gl}) \xrightarrow{x} (*) \text{ и } (v_1^{loc}) \xrightarrow{x(i)} (*),$$

$$(*) \xrightarrow{x(i)} (v_1^{gl}; v_1^{loc}), \text{ если } (*) \xrightarrow{x} (v_1^{gl}) \text{ и } (*) \xrightarrow{x(i)} (v_1^{loc}).$$

(если вершине  $v^{gl}$  инцидентна внешняя дуга, то соответствующие ей внешние дуги графа  $(v^{gl}; G^{loc})$  являются внешними дугами суперпозиции);

$$(v_1^{gl}; v_1^{loc}) \xrightarrow{x(i)} (v_2^{gl}; v_2^{loc}), \text{ если } (v_1^{gl}) \xrightarrow{x} (v_2^{gl}), (v_1^{loc}) \xrightarrow{x(i)} (*) \text{ и } (*) \xrightarrow{x(i)} (v_2^{loc})$$

(если внутренняя дуга соединяет вершины  $v_1^{gl}$  и  $v_2^{gl}$ , а дуги, инцидентные вершинам  $v_1^{loc}$  и  $v_2^{loc}$  и соответствующие передаче одного и того же разряда  $x(i)$ , являются внешними, то вершины  $(v_1^{gl}; v_1^{loc})$  и  $(v_2^{gl}; v_2^{loc})$  должны быть соединены дугой, которую будем называть *спаривающей* и которая обозначает передачу разрядов данных от одного локального графа к другому).

В результате построения суперпозиции векторы, соответствующие спаривающим дугам (спаривающие векторы) для пересылки разрядов одного и того же числа, могут оказаться различными по длине и направлению. Такая нерегулярность суперпозиции приводит к нерегулярности соединений в конечном устройстве. Равенство всех спаривающих векторов для передачи разрядов одного и того же данного можно достичь путем модификации (расширения) графа  $G^{loc}$ . Для этого порты ввода и вывода разрядов  $x(i)$  разместим в таких точках  $v_{x(i)}^{in}$  и  $v_{x(i)}^{out}$  соответственно, чтобы все спаривающие векторы  $\varphi_{x(i)}^{(m)} = v_{x(i)}^{in} - v_{x(i)}^{out}$  были равны. Пространство между старыми и новыми портами ввода-вывода следует заполнить вершинами для передачи данных, соединенными соответствующими дугами. Такая модификация приводит к новому графу, представляющему уже другой алгоритм, однако результаты вычислений

в обоих случаях будут одинаковы. Пример модифицированного графа  $G_{NM}^{loc}$ , полученного на основе графа  $G_N^{loc}$ , приведен на рис. 1, в.

Таким образом, используя граф зависимости  $G^{gl}$  и модифицированный в случае необходимости граф зависимости  $G^{loc}$ , получаем суперпозицию этих графов  $G^{sup} = (G^{gl}; G^{loc})$ . Пример суперпозиции графов  $(G^{gl}; G_{NM}^{loc})$  приведен на рис. 2.

Граф систолического процессора, реализующего алгоритм (1), может быть получен из графа зависимости  $G$  путем отображения графа  $G$  из

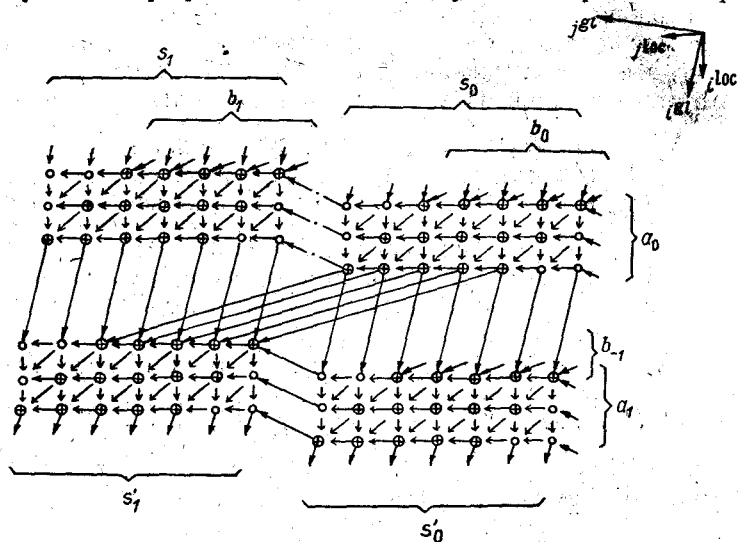


Рис. 2. Суперпозиция  $(G_F^{gl}; G_{NM}^{loc})$  при  $l=J=2, r_a=r_b=3, r_c=7$

пространства  $Z^m$  в пространство  $Z^l$  ( $l=0, 1$  или  $2$ ). Отображение обычно осуществляется посредством линейного оператора  $\Pi: Z^m \rightarrow Z^l$ . Оператор  $\Pi$  отображает вершины, размещенные в точках  $v \in V$ , в вершины, размещенные в точках  $\Pi(v) \in Z^l$ . Внутренние дуги  $(v_1) \rightarrow (v_2)$  отображаются в дуги  $\Pi(v_1) \rightarrow \Pi(v_2)$ . Внешние дуги  $(*) \rightarrow (v_1)$  и  $(v_1) \rightarrow (*)$  отображаются в дуги  $(*) \rightarrow \Pi(v_1)$  и  $\Pi(v_1) \rightarrow (*)$  соответственно.

При отображении графа зависимости  $G^{sup}$  образы вершин суперпозиции  $v^{sup} = (v^{gl}; v^{loc})$  удобно определять посредством двух операторов:  $\Pi^{gl}: Z^D \rightarrow Z^l$  и  $\Pi^{loc}: Z^d \rightarrow Z^l$ . Образ  $\Pi^{sup}(v^{sup})$  точки  $v^{sup}$  определяется формулой

$$\Pi^{sup}(v^{sup}) = \Pi^{gl}(v^{gl}) + \Pi^{loc}(v^{loc}).$$

Такое отображение может быть определено и единым линейным оператором  $\Pi^{sup}: Z^{D+d} \rightarrow Z^l$ , матрица которого получена конкатенацией (соединением) последовательно записанных матриц операторов  $\Pi^{gl}$  и  $\Pi^{loc}$ ,  $\Pi^{sup} = (\Pi^{gl} \parallel \Pi^{loc})$ , однако раздельное использование этих операторов позволяет делать отображение более наглядным.

Отображение дуг суперпозиции осуществляется аналогично. Если дуга  $\phi$  соединяет вершины  $v^{sup}$  и  $v^{sup} + \phi$ , то образ дуги  $\phi$  должен соединять вершины  $\Pi^{sup}(v^{sup})$  и  $\Pi^{sup}(v^{sup} + \phi)$ , где  $\phi$  — внутренняя или спаривающая дуга. Внешние дуги отображаются во внешние.

Так как множество всех возможных операторов отображения очень велико, то это позволяет получать очень широкий класс систолических структур различных типов конфигурации.

Временной режим работы устройства определяется таймирующей

функцией  $t(v)$ , которая в случае строго направленного графа  $G$  может быть представлена в следующем виде [ 9, 11]:

$$t(v) = \langle n, v \rangle - \min_{v \in V} \langle n, v \rangle + t_0,$$

где  $\langle \cdot, \cdot \rangle$  означает скалярное произведение,  $n = (n_1, n_2, \dots, n_m)$  — вектор, образующий острые углы со всеми векторами  $\varphi_1, \varphi_2, \dots, \varphi_p$ ,  $\langle n, \varphi_i \rangle \geq 1$ ,  $1 \leq i \leq p$ ,  $t_0$  — неотрицательная целочисленная константа. При этом должно выполняться неравенство

$$\langle n, d \rangle \neq 0,$$

где вектор  $d \in Z^m$  определяется следующим образом:

если  $m - l = 1$ , то  $d \in \{ \text{Ker } \Pi \} \setminus \{0\}$ , где  $\text{Ker } \Pi = \{v \in Z^m : \Pi(v) = 0\}$  [13];

если  $m - l \geq 2$ , то  $d \in D$ , где  $D = \{ \text{Ker } \Pi \cap (V \ominus V) \} \setminus \{0\} \in Z^m$ ,

$$V \ominus V = \{v \in Z^m : v = v_1 - v_2, v_1, v_2 \in V\} \quad [14].$$

Так как полученная суперпозиция графов  $G^{\text{sup}} = (G^{\text{gl}}; G^{\text{loc}})$  тоже является графом зависимости и ее отображение определяется линейным оператором  $\Pi^{\text{sup}} = (\Pi^{\text{gl}}; \Pi^{\text{loc}})$ , то таймирующая функция может быть определена, как указано выше.

В качестве примеров получения различных двухуровневых систолических процессоров с распределенной арифметикой можно рассмотреть различные отображения суперпозиции  $(G_F^{\text{gl}}; G_{NM}^{\text{loc}})$  для задачи КИХ-фильтрации. Обозначим через  $I^m$  тождественный оператор,  $I^m : Z^m \rightarrow Z^m$ , а через  $O^m$  — нулевой,  $O^m : Z^m \rightarrow Z^0$ . Операторы  $\Pi^{\text{gl}} = I^m$  и  $\Pi^{\text{loc}} = O^m$  отображают суперпозицию  $(G_F^{\text{gl}}; G_{NM}^{\text{loc}})$  в такой систолический процессор, что его граф совпадает с графом  $G_F^{\text{gl}}$ , а базовая операция  $s + ab$  выполняется на единственном логическом элементе с многократной перезаписью разрядов в локальную память. Операторы  $\Pi^{\text{gl}} = O^m$  и  $\Pi^{\text{loc}} = I^m$  отображают суперпозицию  $(G_F^{\text{gl}}; G_{NM}^{\text{loc}})$  в единственный процессорный

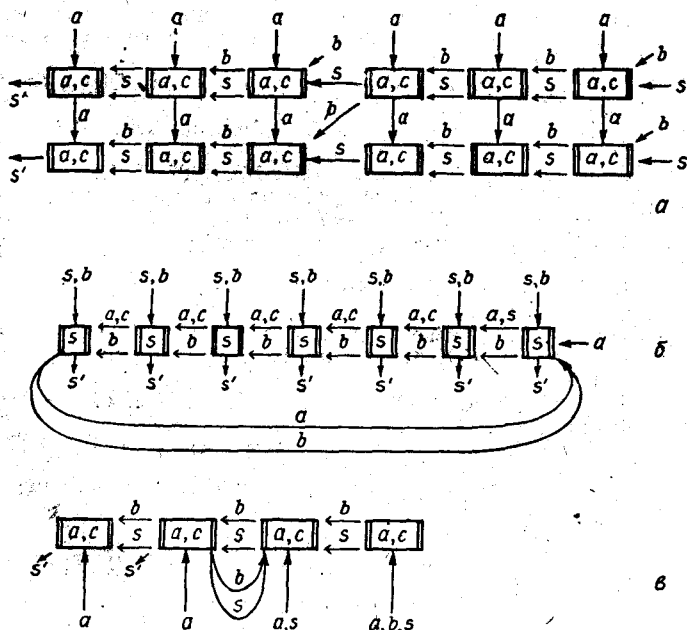


Рис. 3. Примеры двухуровневых процессоров с распределенной арифметикой, полученных отображением суперпозиции  $(G_F^{\text{gl}}; G_{NM}^{\text{loc}})$  при  $l = j = 2$ ,  $r_a = r_b = 3$ ,  $r_s = 7$  определением заданных операторов  $\Pi^{\text{gl}}$  и  $\Pi^{\text{loc}}$ : а)  $\Pi^{\text{gl}} = \begin{pmatrix} 0 & 1 \\ r_a & 0 \end{pmatrix}$ ,  $\Pi^{\text{loc}} = \begin{pmatrix} 0 & 0 \\ 1 & 0 \end{pmatrix}$ ; б)  $\Pi^{\text{gl}} = (0 \ 0)$ ,  $\Pi^{\text{loc}} = (0 \ 1)$ ; в)  $\Pi^{\text{gl}} = (1 \ 0)$ ,  $\Pi^{\text{loc}} = (1 \ 0)$

элемент уровня чисел, состоящий из ячеек битового уровня, обрабатывающих поступающие разряды по систолическому принципу. Конфигурация этих процессоров совпадает с конфигурацией соответствующих одноуровневых устройств. Использование других операторов отображения позволяет получать процессоры как известных, так и новых конфигураций. Примеры еще трех новых процессоров приведены на рис. 3. На стрелках указаны данные, пересылаемые по соответствующим соединениям в устройстве, внутри процессорных элементов указаны данные перезаписываемые на каждом такте в их локальную память.

Таким образом, в данной статье предлагается формальный подход позволяющий на основе единой математической модели проектировать широкий класс двухуровневых систолических процессоров с распределенной арифметикой, включающий в себя как систолические процессоры известных типов конфигурации, так и ряд новых. Процедура проектирования включает в себя: построение суперпозиции графов зависимости представляющих алгоритмы уровня чисел и уровня разрядов; отображение полученной суперпозиции  $G^{\text{sup}}$  посредством линейного оператора  $P^{\text{sup}}$  (либо двух линейных операторов  $P^{\text{st}}$  и  $P^{\text{loc}}$ ); получение таймирующей функции.

### Summary

A method us for the design of two-level number-bit systolic arrays is presented. The method allows to design distributed arithmetic arrays of various type configuration on the base of a general mathematical model.

### Литература

1. King H. T. // Computer. 1982. Vol. 15, N 1. P. 37—46.
2. White S. A. // IEEE ASSP Mag. 1989. Vol. 6, N 3. P. 4—19.
3. Лиходед Н. А., Тиунчик А. А. // О проектировании двухуровневых систолических вычислителей. Минск, 1990. (Препринт / Ин-т математики АН БССР № 26(426)).
4. Каневский Ю. С., Лозинский В. И. Проектирование структурных систолических процессоров с поразрядным выполнением вычислений. Киев, 1988. в Киевском политехн. ин-те.
5. Liu K. J. R., Yao K. // Int. Conf. Systolic Arrays, San Diego, Calif., May 27, 1988: Proc.— Washington (D. C.). P. 685—694.
6. McCanny J. V., McWhirter J. G. // Electron. Lett. 1982. Vol. 18, P. 241—243.
7. Каппелло П. Р., Чжэнвэнь У. // ТИИЭР. 1987. Т. 75, № 9. С. 136—144.
8. Тиунчик А. А. // I Всесоюз. конф. «Однородные вычислительные среды и систолические структуры»: Тез. докл. Львов, 1990. Т. 1. С. 139—144.
9. Воеводин В. В. Математические модели и методы в параллельных процессах. М., 1986. 296с.
10. Quinton P. // Automata Networks in Computer Science. Princeton Univ. Press. 1987. Chap. 9. P. 229—260.
11. Kosianhouk V. V., Likhoded N. A., Sobolevskii P. I. Systolic architecture array synthesis. Минск, 1992 (Препринт / Ин-т математики АН Беларуси: (484)).
12. Karr R. M., Miller R. E., Winograd S. W. // J. of the Association for Computing Machinery. 1967. Vol. 14, N 3. P. 563—590.
13. Краснов С. А. // Вычислительные процессы и системы. М., 1987. Вып. 82—92.
14. Косьянчук В. В. // Весті АН БССР. Сер. фіз.-мат. навук. 1991. № 1. С. 91—97.

Институт математики  
АН Беларуси

Поступила в редакцию  
19.11.92